

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請 日：西元 2003 年 02 月 24 日
Application Date

申請 案 號：092103976
Application No.

申請 人：日月光半導體製造股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 4 月 10 日
Issue Date

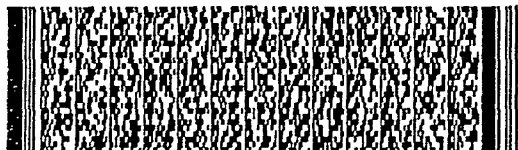
發文字號：09220357790
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	標準阻抗基板及向量網路分析儀之校正方法
	英 文	IMPEDANCE STANDARD SUBSTRATE AND METHOD FOR CALIBRATING VECTOR NETWORK ANALYZER
二、 發明人 (共2人)	姓 名 (中文)	1. 吳松茂
	姓 名 (英文)	1. Sung Mao WU
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄縣燕巢鄉尖山村紅山巷96號
	住居所 (英 文)	1. No. 96, Hungshan Lane, Jianshan Tsuen, Yanchau Shiang, Kaohsiung, Taiwan 824, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 811 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chian Seng CHANG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 邱基綜
	姓 名 (英文)	2. Chi Tsung CHIU
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 高雄市前鎮區台鋁四巷6號4樓
	住居所 (英 文)	2. 4Fl., No. 6, Tailiu 4th Lane, Chianjen Chiu, Kaohsiung, Taiwan 806, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：標準阻抗基板及向量網路分析儀之校正方法)

一種標準阻抗基板用以校正一向量網路分析儀，包括一第一表面，及一第二表面與該第一表面相對應。一直通電路具有兩接點相互電性連接，且該兩接點係分別配置於該第一表面及該第二表面。該標準阻抗基板並具有一對斷路電路、一對短路電路、以及一對負載電路，分別配置於該第一表面及該第二表面。

五、(一)、本案代表圖為：第____1____圖

(二)、本案代表圖之元件代表符號簡單說明：

10	向量網路分析儀	12	高頻信號產生器
13	切換開關	14	量測埠
15	量測埠	16	待測元件
22	探針	23	探針
24	測試模組	25	測試模組

六、英文發明摘要 (發明名稱：IMPEDANCE STANDARD SUBSTRATE AND METHOD FOR CALIBRATING VECTOR NETWORK ANALYZER)

An impedance standard substrate for calibrating a vector network analyzer comprises a first surface and a second surface opposite to the first surface. A thru-circuit has two contacts electrically connected to each other. The two contacts are disposed on the first surface and the second surface, respectively. The impedance standard substrate further comprises a pair of



四、中文發明摘要 (發明名稱：標準阻抗基板及向量網路分析儀之校正方法)

六、英文發明摘要 (發明名稱：IMPEDANCE STANDARD SUBSTRATE AND METHOD FOR CALIBRATING VECTOR NETWORK ANALYZER)

open-circuit, a pair of short-circuit, and a pair of load-circuit disposed on the first surface and the second surface, respectively.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☒主張專利法第二十五條之一第一項優先權：

申請案號：1. 091123644

日期： 1. 2002/10/09

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

相關申請案：

本案主張中華民國九十一年十月九日申請案第091123644號「標準阻抗基板及向量網路分析儀之校正方法」之國內優先權。

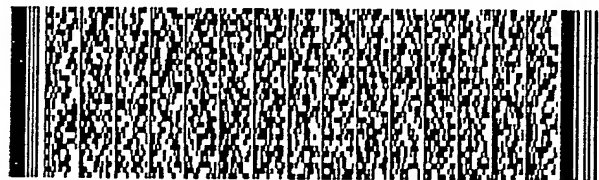
【發明所屬之技術領域】

本發明係有關於一種向量網路分析儀(vector network analyzer)之標準阻抗基板(impedance standard substrate)，特別有關於一種向量網路分析儀之標準阻抗基板，具有雙側的接點。

【先前技術】

向量網路分析儀係已知的，舉例而言，諸如美國專利第6,348,804號"向量網路分析儀(Vector Network Analyzer)"、美國專利第5,047,752號"對於一測量網路之錯誤模式之驗證與校正的方法(Verification And Correction Method For An Error Model For A Measurement Network)"、以及美國專利第4,858,160號"對於向量校正測量之設定參考電桿之系統"(System For Setting Reference Reactance For Vector Corrected Measurements)"中所揭示者。

這些網路分析儀主要利用一或兩個高頻信號產生器(RF Source)提供高頻的訊號，及兩量測埠(Measuring Port)，將該訊號傳遞至一待測元件(Device Under Test; DUT)上。信號測試模組(Test Set)再利用方向耦合器(Directional Couplers)或方向橋接器(Directional



五、發明說明 (2)

Bridge)，以分離送至待測元件的信號(亦即入射信號)以及由待測元件反射回來的信號(亦即反射信號)。入射信號及反射信號皆需經由本地信號源(L0 Source)與混撥器(Mixer)所組成的降頻器降頻之後，再進行諸如訊號的濾波、放大與轉換數位信號及顯示量測值等等的處理。

高頻電路的量測需要對複合(數值及相位)的反射及穿透係數做高度精確的量測。這些量測系統係藉由複合的誤差係數(error factor)，以校正量測的誤差。

這些誤差係數通常係藉由量測已知的標準阻抗而決定。雖然可以使用不同的標準阻抗，但最常使用的一組標準阻抗，係為斷路電路、短路電路、負載電路、以及直通電路。該向量網路分析儀之該量測埠係具有一探針，分別接觸該斷路電路(open-circuit)、短路電路(short-circuit)、負載電路(load-circuit)、以及直通電路(thru-circuit)之該接點，藉以決定該向量分析儀之誤差係數，而校正該向量分析儀。

這些標準阻抗典型上係配置於一基板之單一側面的表面上，稱為標準阻抗基板(impedance standard substrate)。然而，對於諸如BGA封裝構造的基板之類的待測元件的實際量測中，由於該基板具有雙側的接點，因此該向量網路分析儀之兩探針中之一者，必須於該標準基板之該單一側面進行校正後，再轉動180度，始得以進行該基板之量測。尤其，對於該直通電路而言，由於該向量網路分析儀之兩探針必須同時接觸該直通電路之兩端，且



五、發明說明 (3)

先前技術之基板並未提供雙側之接點，因此更加無法避免此一轉動的過程。此一轉動過程不僅需要複雜的機構，且影響該量測的精確度。

有鑑於此，便有需要提供一種雙側的標準阻抗基板，具有標準阻抗接點，分別位於該基板之兩側面上，而有助於向量網路分析儀之校正。

【發明內容】

本發明之一目的在於提供一種雙側之標準阻抗基板，具有標準阻抗接點，分別位於該基板之兩側面上。

本發明之另一目的在於提供一種向量網路分析儀之校正方法，用以量測具有雙側表面接點之待測元件。

為達上述目的，本發明提供一種標準阻抗基板包括一第一表面，及一第二表面與該第一表面相對應。一直通電路具有兩接點相互電性連接，且該兩接點係分別配置於該第一表面及該第二表面。該標準阻抗基板並具有一對斷路電路、一對短路電路、以及一對負載電路，分別配置於該第一表面及該第二表面上。

本發明另提供一種向量網路分析儀之校正方法之方法，其包括下列步驟：提供一標準阻抗基板，其具有一第一表面，一第二表面，與該第一表面相對應；提供一直通電路，具有兩接點相互電性連接，並分別配置於該第一表面及該第二表面；以及將該探針分別接觸該直通電路之該兩接點，並輸出將該量測訊號。該校正方法，另包括步驟：提供一對斷路電路、一對短路電路及一對負載電路，分別



五、發明說明 (4)

配置於該第一表面及該第二表面；以及將該探針分別接觸該對斷路電路，並輸出該量測訊號。

綜前所述，該向量網路分析儀可利用本發明之該標準阻抗基板，以獲得雙側的校正數據，並藉以直接量測具有雙側接點之待測元件。該向量網路分析儀不需要複雜的機構用以轉動探針，且可獲得相對上較正確的校正數據。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下。

【實施方式】

參考第1圖，其顯示根據本發明之一向量網路分析儀 (Vector Network Analyzer; VNA) 10。該向量網路分析儀具有一高頻信號產生器 (RF Source) 12 提供高頻的訊號，並經由一切換開關 (change-over switch) 13，交替的連接至兩個分離的量測埠 14、15 上。該兩量測埠 14、15 分別具有探針 22、23 與一待測元件 (DUT) 16 相連接，藉以將該高頻訊號送至該待測元件 16。該向量網路分析儀 10 之訊號測試模組 (Test Set) 24、25 再將送至該待測元件 16 之該高頻信號與由該待測元件 16 反射回來的訊號分離，再處理這些訊號，而量測該待測元件 16。

於該向量網路分析儀 10 之校正操作中，參考第 2a-d 圖，該向量網路分析儀 10 之該兩探針 22、23 係連接至一標準阻抗基板 30 上之標準阻抗電路，包括一斷路電路 32、一短路電路 34、一負載電路 36、及一直通電路 38 上，以進行校



五、發明說明 (5)

正。該向量網路分析儀10之該兩探針22、23每個具有一訊號端27及一接地端28。該斷路電路32、該短路電路34、及該負載電路36係為成對的，亦即具有兩個訊號接點及兩個接地接點，分別用以連接該兩探針22、23之該兩訊號端27及該兩接地端28，如第2a-c圖所示。該直通電路38之兩端分別用以連接該兩探針22、23，如第2d圖所示。該配對斷路電路32、短路電路34、及負載電路36、以及該直通電路38係配置於該標準阻抗基板30之兩表面中之一者或兩者上。或者，該配對之斷路電路32、短路電路34、及負載電路36係配置於該標準阻抗基板30之不同的表面上。

精於本技藝者將可瞭解，該探針22、23可為不同的型式，諸如具有兩個接地端，配置於一個訊號端的兩側。於此配置下，該標準阻抗電路必須具有三個接點，分別用以與該兩接地端及該訊號端相接觸。

又如第3圖所示，其顯示根據本發明之第一實施例之一雙側直通電路50。該直通電路50具有兩接點52、54分別位於該標準阻抗基板10之上、下表面上。該兩接點52、54係藉由一貫穿該基板之導電通孔(Via)60相互電性連接，藉此形成一標準阻抗之直通電路。該兩接點52、54係位於該導電通孔60之兩側，亦即於投影面上，該兩接點52、54並不重疊。精於本技藝者將可瞭解，該兩接點52、54可為訊號接點或接地接點，分別用以連接至該探針22、23之該訊號端或接地端。

如第4圖所示，其顯示根據本發明之第二實施例之一直



五、發明說明 (6)

通電路50。該標準阻抗基板10具有一貫穿孔63，舉例而言具有方形的外形。該標準阻抗基板10之上、下表面之該直通電路50之兩接點52、54係位於該貫穿孔63之邊緣處，並藉由該貫穿孔63之一垂直側面上之電路62相互電性連接。如圖所示，該兩接點52、54係位於該貫穿孔63之同一側，亦即於投影面上，該兩接點52、54相互重疊。

如第5圖所示，其顯示第三實施例之一直通電路50。該直通電路50之兩接點52、54係位於該標準阻抗基板10之上、下表面之邊緣，並藉由該標準阻抗基板10之垂直側面上之電路64相互電性連接。

如第6圖所示，其顯示根據本發明之一第四實施例之一直通電路50。該直通電路50之兩接點52、54係位於該標準阻抗基板10之上、下表面之邊緣，並藉由佈線(layout)於該標準阻抗基板10之垂直側面上之一電路66相互電性連接。

如第7a圖所示，其顯示根據本發明之一第五實施例之一標準阻抗基板30。該標準阻抗基板30包含一銅質芯心(copper core)70，以及兩絕緣層72，諸如BT樹脂(Bismaleimide Triazine resin)，分別覆蓋該銅質芯心70之兩側面。該標準阻抗基板30另包括兩接點52、54，電鍍於該銅質芯心70上，暴露於該兩絕緣層72之外，並電性連接至該銅質芯心70，藉以形成一直通電路。

如第7b圖所示，其顯示根據本發明之一第六實施例之一標準阻抗基板30。該標準阻抗基板30包含一銅質芯心

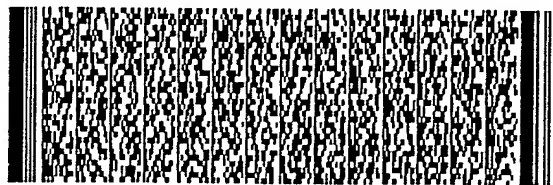
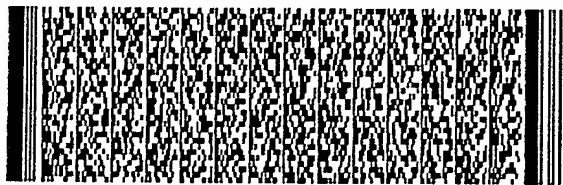


五、發明說明 (7)

(copper core)70，以及兩絕緣層72，諸如BT樹脂 (Bismaleimide Triazine resin)，分別覆蓋該銅質芯心70之兩側面。該兩絕緣層72分別具有兩貫穿孔73、74，界定兩接點52、54，用以電性連接至該銅質芯心70，藉此形成一直通電路。

綜前所述，該向量網路分析儀可利用本發明之該標準阻抗基板，以獲得雙側的校正數據，並藉以直接量測具有雙側接點之待測元件。因此，該向量網路分析儀不需要複雜的機構用以轉動探針，且可獲得相對上較正確的校正數據。

雖然前述的描述及圖示已揭示本發明之較佳實施例，必須瞭解到各種增添、修改和取代可能使用於本發明較佳實施例，而不會脫離如所附申請專利範圍所界定的本發明原理之精神及範圍。熟悉該技藝者將可體會本發明可能使用於很多形式、結構、佈置、比例、材料、元件和組件的修改。因此，本文於此所揭示的實施例於所有觀點，應被視為用以說明本發明，而非用以限制本發明。本發明的範圍應由後附申請專利範圍所界定，並涵蓋其合法均等物，並不限於先前的描述。



圖式簡單說明

【圖式簡單說明】

第1圖：為一向量網路分析儀之系統方塊圖。

第2a-d圖：為一標準阻抗基板之標準阻抗電路之示意圖。

第3圖：為根據本發明之一實施例之標準阻抗基板之雙側直通電路之剖面示意圖。

第4圖：為根據本發明之另一實施例之標準阻抗基板之雙側直通電路之剖面示意圖。

第5圖：為根據本發明之又另一實施例之標準阻抗基板之雙側直通電路之剖面示意圖。

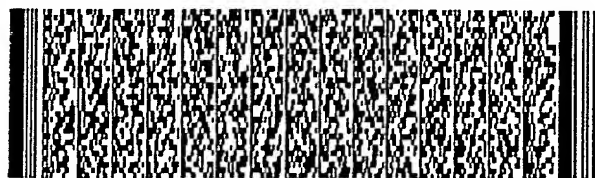
第6圖：為根據本發明之再另一實施例之標準阻抗基板之雙側直通電路之剖面示意圖。

第7a圖：為根據本發明之又另一實施例之標準阻抗基板之雙側直通電路之剖面示意圖。

第7b圖：為根據本發明之再另一實施例之標準阻抗基板之雙側直通電路之剖面示意圖。

圖號說明：

10	向量網路分析儀	12	高頻信號產生器
13	切換開關	14	量測埠
15	量測埠	16	待測元件
22	探針	23	探針
24	測試模組	25	測試模組
27	訊號端	28	接地端
30	標準阻抗基板	32	斷路電路



圖式簡單說明

34 短路電路

38 直通電路

52 接點

60 導電通孔

63 貫穿孔

66 電路

72 絕緣層

74 貫穿孔

36 負載電路

50 雙側直通電路

54 接點

62 導電通孔

64 電路

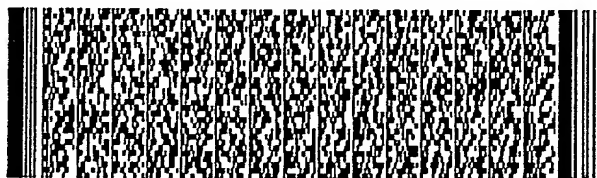
70 銅質芯心

73 貫穿孔



六、申請專利範圍

1. 一種標準阻抗基板，用以校正一向量網路分析儀，包括：
 - 第一表面；
 - 第二表面，與該第一表面相對應；以及
 - 直通電路，具有兩接點相互電性連接，該兩接點係分別配置於該第一表面及該第二表面上。
2. 依申請專利範圍第1項之標準阻抗基板，其中該直通電路包括一導電通孔，電性連接該兩接點。
3. 依申請專利範圍第2項之標準阻抗基板，其中該兩接點分別位於該導電通孔之兩側。
4. 依申請專利範圍第2項之標準阻抗基板，其中該兩接點分別位於該導電通孔之同一側。
5. 依申請專利範圍第1項之標準阻抗基板，另包括一側壁介於該第一表面及該第二表面之間，其中該直通電路之該兩接點係位於該標準阻抗基板之邊緣，且該直通電路另包括一電路，配置於該側壁上，並電性連接該兩接點。
6. 依申請專利範圍第1項之標準阻抗基板，其中該直通電路之該電路係佈線(layout)於該側壁上。



六、申請專利範圍

7. 依申請專利範圍第1項之標準阻抗基板，另包括一對斷路電路，分別配置於該第一表面及該第二表面。

8. 依申請專利範圍第1項之標準阻抗基板，另包括一對短路電路，分別配置於該第一表面及該第二表面。

9. 依申請專利範圍第1項之標準阻抗基板，另包括一對負載電路，分別配置於該第一表面及該第二表面。

10. 一種向量網路分析儀之校正方法，該向量網路分析儀用以提供一量測訊號，並具有兩探針將該量測訊號輸出，其包括下列步驟：

提供一標準阻抗基板，其具有一第一表面，一第二表面，與該第一表面相對應；

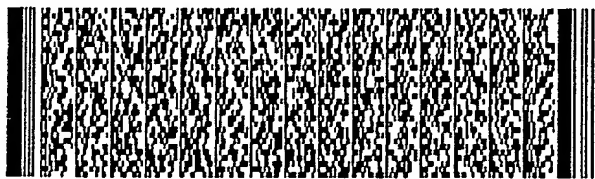
提供一直通電路，具有兩接點相互電性連接，並分別配置於該第一表面及該第二表面；以及

將該探針分別接觸該直通電路之該兩接點，並輸出將該量測訊號。

11. 依申請專利範圍第10項之校正方法，另包括步驟：

提供一對斷路電路，分別配置於該第一表面及該第二表面；以及

將該探針分別接觸該對斷路電路，並輸出該量測訊號。



六、申請專利範圍

12. 依申請專利範圍第10項之校正方法，另包括步驟：

提供一對短路電路，分別配置於該第一表面及該第二表面；以及

將該探針分別接觸該對短路電路，並輸出該量測訊號。

13. 依申請專利範圍第10項之校正方法，另包括步驟：

提供一對負載電路，分別配置於該第一表面及該第二表面；以及

將該探針分別接觸該對負載電路，並輸出該量測訊號。

14. 依申請專利範圍第10項之校正方法，其中該直通電路包括一導電通孔，電性連接該兩接點。

15. 依申請專利範圍第10項之校正方法，其中該標準阻抗基板，另包括一側壁介於該第一表面及該第二表面之間，該直通電路之該兩接點係位於該標準阻抗基板之邊緣，且該直通電路另包括一電路，配置於該側壁上，並電性連接該兩接點。

16. 一種標準阻抗基板，用以校正一向量網路分析儀，包括：

一銅質芯心，界定一第一表面及一第二表面；

一第一絕緣層，覆蓋該銅質芯心之該第一表面；

一第二絕緣層，覆蓋該銅質芯心之該第二表面；以及



六、申請專利範圍

一直通電路，具有兩接點，分別配置於該第一絕緣層及該第二絕緣層上，且電性連接至該銅質芯心。

17. 依申請專利範圍第16項之標準阻抗基板，另包括一對斷路電路，分別配置於該第一表面及該第二表面。

18. 依申請專利範圍第16項之標準阻抗基板，另包括一對短路電路，分別配置於該第一表面及該第二表面。

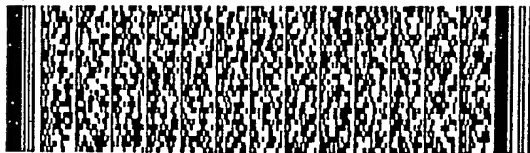
19. 依申請專利範圍第16項之標準阻抗基板，另包括一對負載電路，分別配置於該第一表面及該第二表面。

20. 依申請專利範圍第16項之標準阻抗基板，其中該第一及第二絕緣層係由BT樹脂(Bismaleimide Triazine resin)所製得。

21. 依申請專利範圍第16項之標準阻抗基板，其中該第一及第二絕緣層各具有一貫穿孔，用以界定該直通電路之該兩接點。



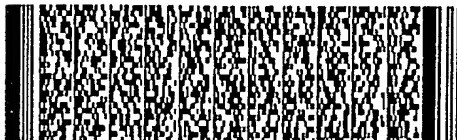
第 1/18 頁



第 1/18 頁



第 2/18 頁



第 3/18 頁



第 3/18 頁



第 4/18 頁



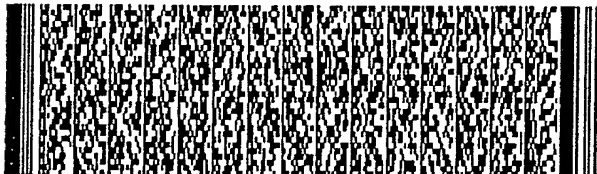
第 5/18 頁



第 6/18 頁



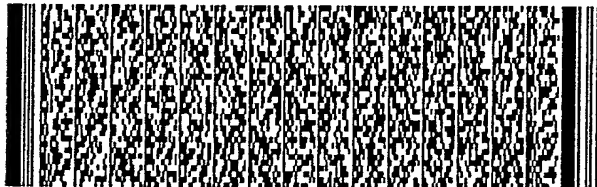
第 6/18 頁



第 7/18 頁



第 7/18 頁



第 8/18 頁



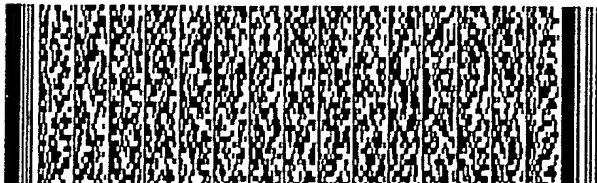
第 8/18 頁



第 9/18 頁



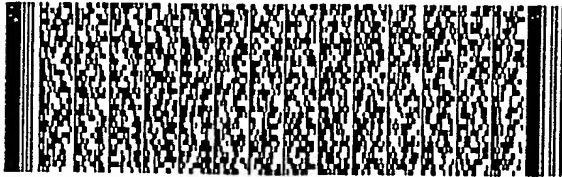
第 9/18 頁



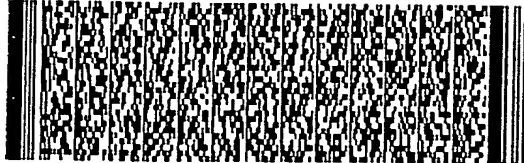
第 10/18 頁



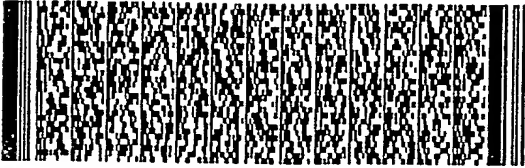
第 10/18 頁



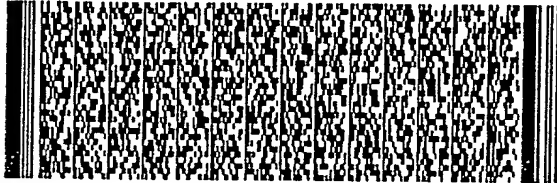
第 11/18 頁



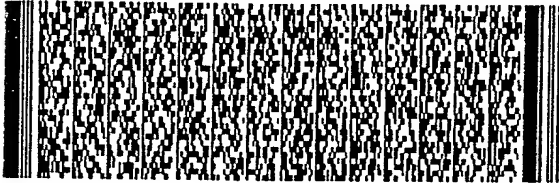
第 11/18 頁



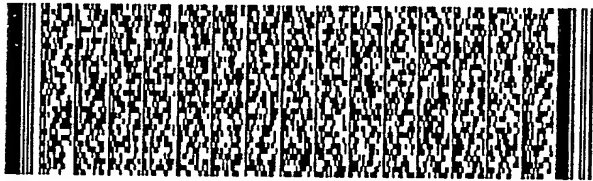
第 12/18 頁



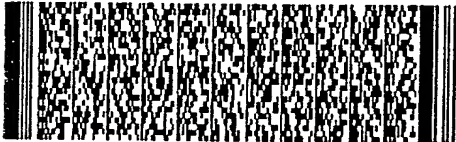
第 12/18 頁



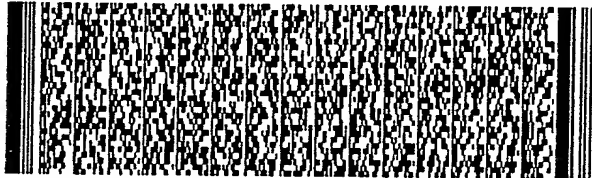
第 13/18 頁



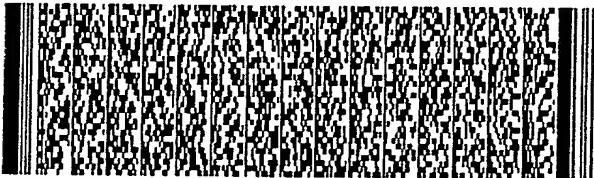
第 14/18 頁



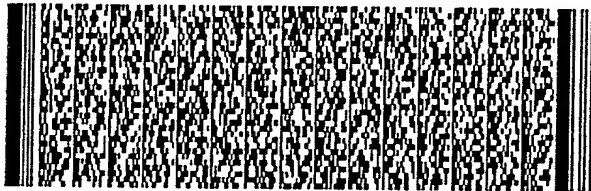
第 15/18 頁



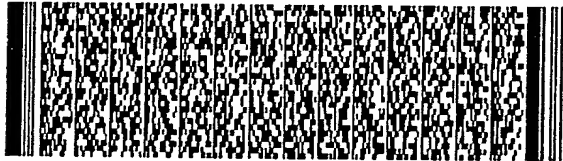
第 16/18 頁

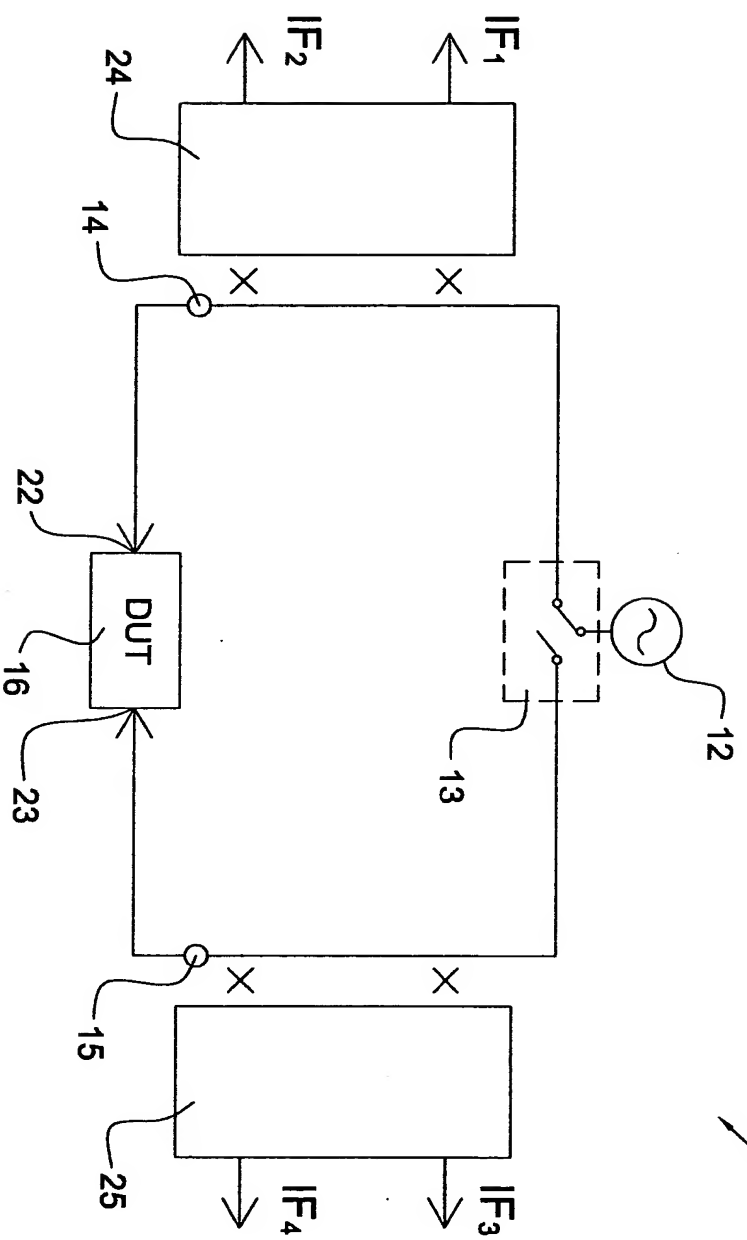


第 17/18 頁

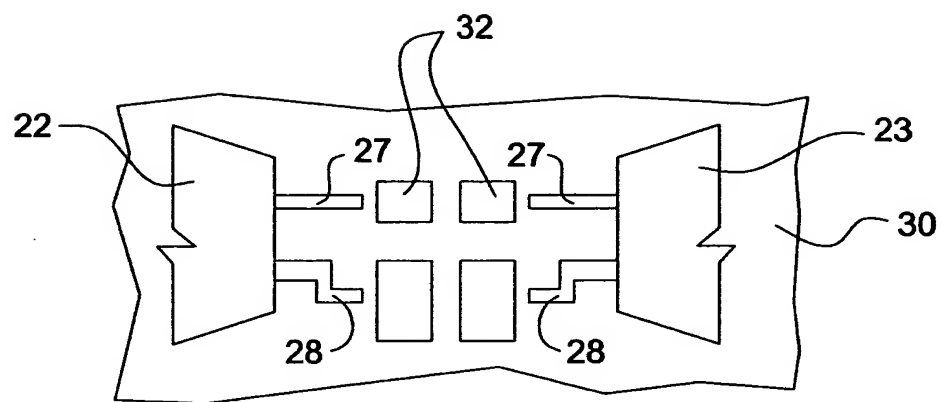


第 18/18 頁

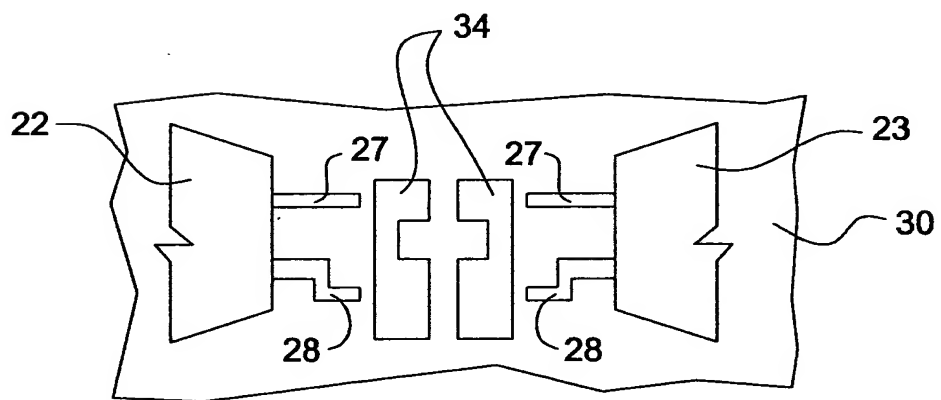




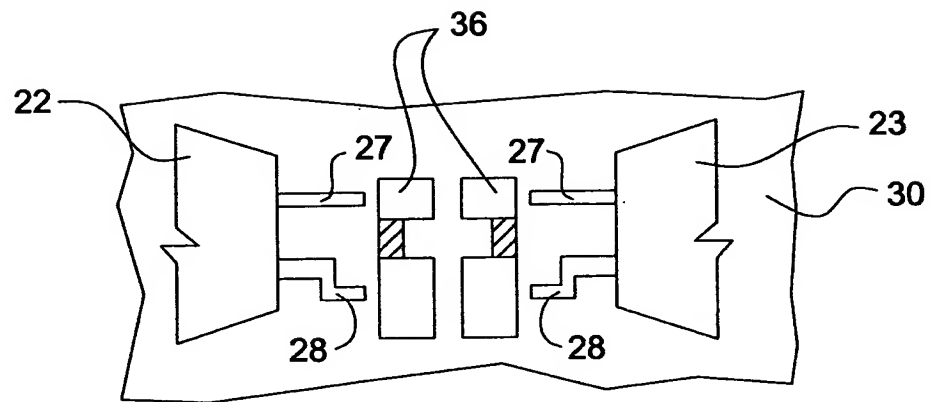
第1圖



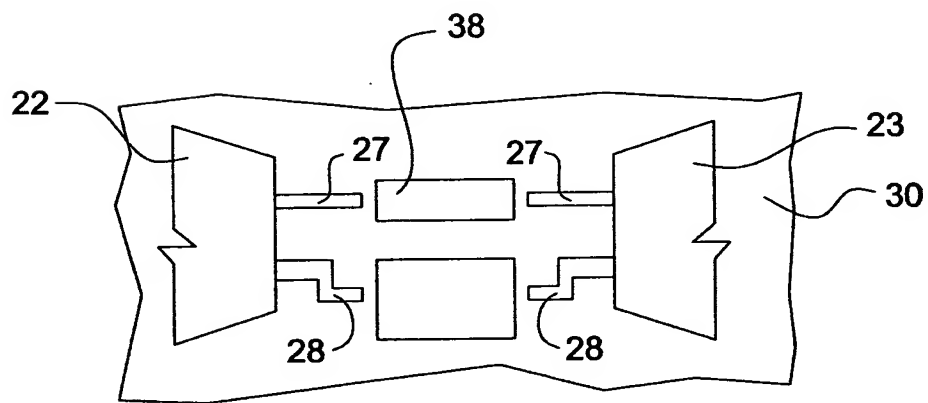
第 2a 圖



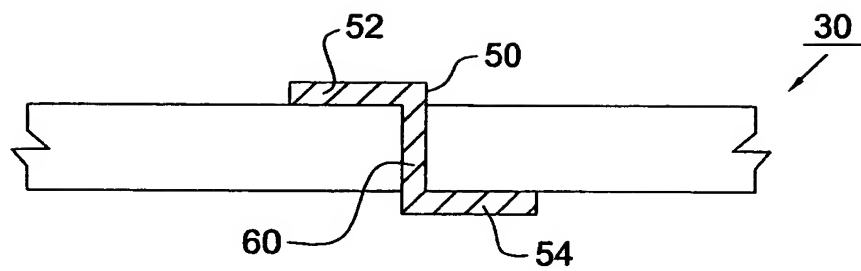
第 2b 圖



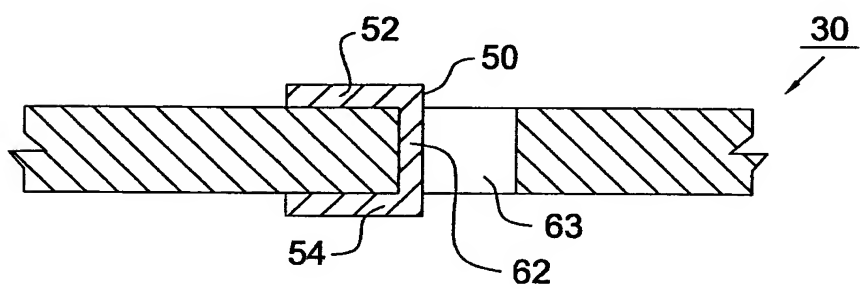
第 2c 圖



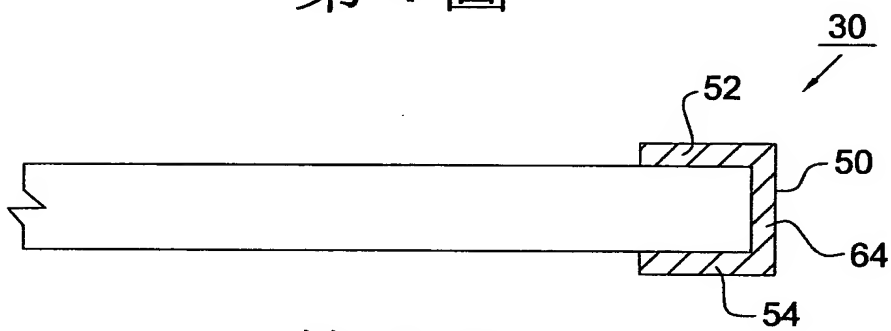
第 2d 圖



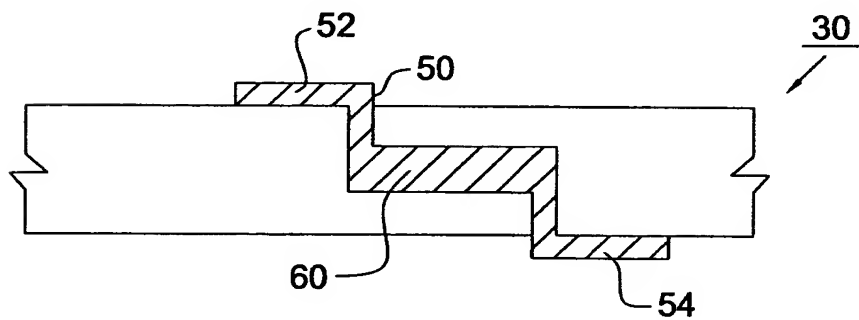
第 3 圖



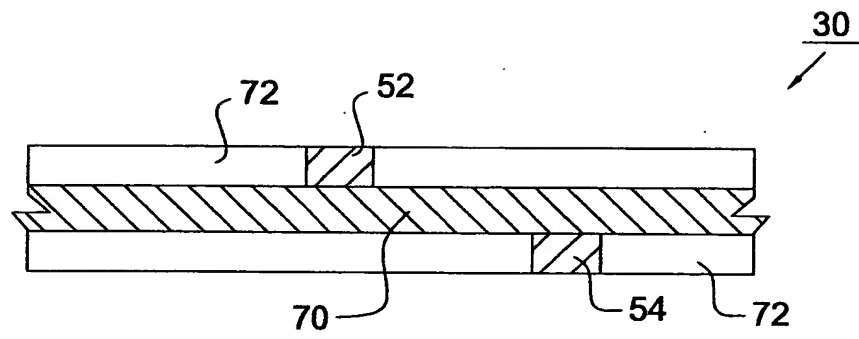
第 4 圖



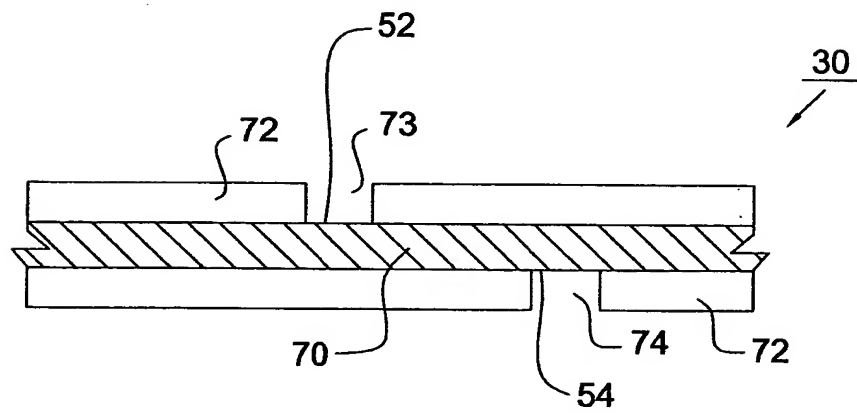
第 5 圖



第 6 圖



第 7a 圖



第 7b 圖